

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-306631

(43)Date of publication of application : 20.12.1990

(51)Int.Cl.

H01L 21/3205

(21)Application number : 01-129130

(71)Applicant : NEC CORP

(22)Date of filing : 22.05.1989

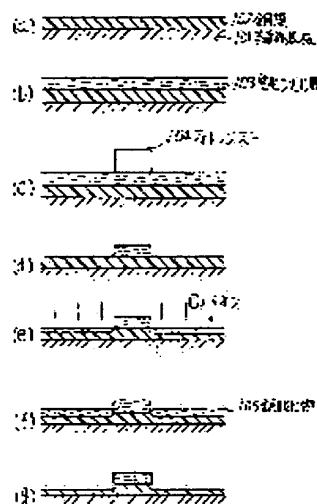
(72)Inventor : SATOU FUMIHIDE

(54) COPPER WIRING FORMING METHOD FOR SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To form a fine copper wiring of high reliability by a method wherein, after a copper film is selectively oxidized, copper oxide is eliminated by processing in liquid phase of acid.

CONSTITUTION: A copper film 102 is stuck on a semiconductor substrate 101; a mask 104 of wiring pattern is formed on the copper film 102; the copper film except the region covered by the mask 104 is transformed into copper oxide 5, which is eliminated by processing wherein acid is used. That is, copper oxide itself contains oxygen, so that it is easily solved by acid having no oxidizing property, and only the copper oxide can be eliminated. Thereby a wiring having an excellent shape, in which film reduction of a substratum interlayer film is not present, and inverse taper shape and shoulder of the lower part of pattern in the case of plating method are not generated, can be obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑫ 公開特許公報(A) 平2-306631

⑤ Int.Cl.⁵

識別記号

庁内整理番号

③ 公開 平成2年(1990)12月20日

H 01 L 21/3205

6810-5F H 01 L 21/88
6810-5FM
E

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 半導体装置の銅配線形成方法

⑯ 特 願 平1-129130

⑰ 出 願 平1(1989)5月22日

⑱ 発 明 者 佐 藤 史 英 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

半導体装置の銅配線形成方法

2. 特許請求の範囲

半導体基板上に銅膜を被着させる工程と、前記銅膜上に配線パターンのマスクを形成する工程と、前記マスクに被われた領域以外の銅膜の少なくとも一部を銅酸化物に変換する工程と、酸により処理をして前記銅酸化物を除去する工程とを含む事の特徴とする半導体装置の銅配線形成方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置の配線形成方法に関し、特に銅による高信頼性の微細配線の形成方法に関する。

〔従来の技術〕

従来半導体装置の配線材料として利用されて来

たアルミニウムやアルミニウム系の合金材料は近年の半導体装置の微細化や、高速度化に伴う配線を流れる電流密度の増大により、耐エレクトロマイグレーション性や耐ストレスマイグレーション性のような信頼性の面で不十分な物になって来ている。解決方法の1つとして、配線材料をアルミニウム系の物からより高信頼性の材料に変えることが考えられる。特に、銅はその比抵抗が低く且比較的低価格であることから非常に魅力のある材料である。しかし銅を半導体装置の配線材料として使用しようとする、特に加工を行なう時に問題が出やすい。

まず、従来銅を配線に使用するために加工する時、1つの方法として第3図(a)に示す様に、銅膜302を被着した半導体基板301にフोटレジスト304で配線パターンを形成し塩素や弗素等のハロゲン元素を含んだガスのプラズマ310によりドライエッチングを行なう方法があった。しかし、銅のハロゲン化合物は一般に蒸気圧が低く気相中での反応で除去することが困難であり、

エッチング面に残差311や堆積物として残りやすかった。

又、1つの方法として、第4図(a)に示す様に、フォトレジストにより配線のネガパターン413を形成してから、第4図(b)に示す様に、銅の鍍金を行なうことにより銅配線414を形成する方法が有った。この合フォトレジストで配線のネガパターンを形成する時にいわゆるイメージリバーサル法を用いて第5図に示す様な逆テーパ形状のレジストパターン519を形成してから鍍金を行なう応用も有る。

〔発明が解決しようとする課題〕

以上述べた様に、従来銅により配線を形成しようとする時、ドライエッチングにより行なおうとすると、銅のハロゲン化合物は蒸気圧が低い為気相中で除去することが困難であ、無理に除去しようとする時は、低圧、高パワーでエッチングを行ないスパッター効果にり除去しなければならなくなる為、下地の層間膜との選択比が得られず製造マージンが非常に狭くなってしまうがちである。

うものである。

〔第1の実施例〕

以下に本発明の第1の実施例について図面を参照して説明する。

第1図(a)～第1図(j)は、本発明の第1の実施例を説明するための断面模式図である。

まず、第1図(a)に示す様に、半導体基板101上に銅膜102を約5000Åから1μm程度スパッタにより被着させる。

次に、第1図(b)に示す様に、窒化シリコン膜103をプラズマCVD法により堆積させる。

続いて、第1図(c)に示す様に、フォトレジスト104を塗布してからリソグラフィにより配線パターンを形成する。

続いて、第1図(d)に示す様に、フォトレジスト104をマスクにして窒化シリコン膜103のエッチングを行なった後にフォトレジスト104を除去する。

続いて、第1図(e)に示す様に、窒化シリコン膜103をマスクにして酸素のイオン注入を行な

又、マスクとして使用するフォトレジストとの選択比も小さくなり配線寸法の変換差も大きくなってしまふ。

鍍金により配線を行なおうとすると、これは銅を使用する時に限らないが、通常のボ型フォトレジストを普通の使い方でパターン形成を行なえばフォトレジストが順テーパ状となるため、鍍金された配線は逆テーパ形状416となる。いわゆるイメージリバーサル法によりフォトレジストの反転パターンを形成しても、パターンの裾でくびれ517が入る事は避けられず配線上に堆積する層間膜やパッシベーション膜の段差被覆性に悪影響を与えていた。

〔課題を解決するための手段〕

本発明の半導体装置の銅配線の形成方法は、半導体基板上に銅膜を被着させる工程と、前記銅膜上に配線パターンのマスクを形成する工程と、前記マスクに被われた領域以外の銅膜の少なくとも一部を銅酸化物に変換する工程と、酸により処理をして前記銅酸化物を除去する工程とを含むとい

う。

続いて、第1図(f)に示す様に、数百℃で熱処理を行ない酸素注入領域を銅酸化物105にする。

続いて、第1図(g)に示す様に、希硫酸で処理して銅酸化物105を除去する。一般に、銅は酸素が供給されて溶液中の水素イオンが除去されなければ酸化性の無い酸に溶ける事が無いのに対して、酸化銅はそれ自体が酸素を含むため希硫酸や酢酸のような酸化性のない酸に対しても容易に溶ける事が知られている。その為酸化銅のみを除去することが可能である。

以下、第1図(e)～第1図(g)までの工程を任意回数繰り返すことで、第1図(h)に示す様に配線パターンを銅膜へ転写する。

以降は、更に多層の配線を行なうならば第1図(i)に示す様にスピニングガラス106を塗布して窒化シリコン膜103を層間膜の1部として利用しても良いし、最上層の配線ならば第1図(j)に示す様に窒化シリコン膜103を除去してパッシベーション膜107の形成を行なっても良い。

〔第2の実施例〕

以下に本発明の第2の実施例について図面を参照して説明する。

第2図(a)～第2図(j)は、本発明の第2の実施例を説明するための段面模式図である。

まず、第2図(a)に示す様に、半導体基板201上に銅膜202を約5000Åから1μm程度スパッタにより被着させる。

次に、第2図(b)に示す様に、プラズマCVD法により窒化シリコン膜203を堆積する。

続いて、第2図(c)に示す様に、フォトリソスト204を塗布してからリソグラフィにより配線パターンを形成する。

続いて、第2図(d)に示す様に、フォトリソスト204をマスクにして窒化シリコン膜203のエッチングを行なった後にフォトリソスト204を除去する。

続いて、第2図(e)に示す様に、半導体チップ208を平行平板電極209-1、209-2間に載置し半導体チップを加熱しながら電極間に酸

状にもならない良好な形状の配線を得ることが出来る。

4. 図面の簡単な説明

第1図(a)～第1図(j)は本発明の第1の実施例を説明するための断面模式図、第2図(d)～第2図(j)は本発明の第2の実施例を説明するための段面模式図、第3図、第4図(a)、(b)、第5図はそれぞれ従来の技術を説明するための段面模式図である。

101……半導体基板、102……銅、103……窒化膜、104……フォトリソスト、105……銅の酸化物、106……スピノングラス、107……パッシベーション膜、201……半導体基板、202……銅、203……窒化膜、204……フォトリソスト、205……銅の酸化物、206……スピノングラス、207……パッシベーション膜、208……半導体チップ、209……平行平板電極、218……ヒータ、219……真空容器、301……半導体基盤、302……銅、

素プラズマを発生させる事により、第2図(f)に示す様に、酸化する。

続いて、第2図(g)に示す様に、酢酸で処理する事により銅酸化物205を除去する。以下、第2図(e)から第2図(f)までの工程を任意回数繰り返すことで、第2図(g)に示す様に配線パターンを銅膜へ転写する。

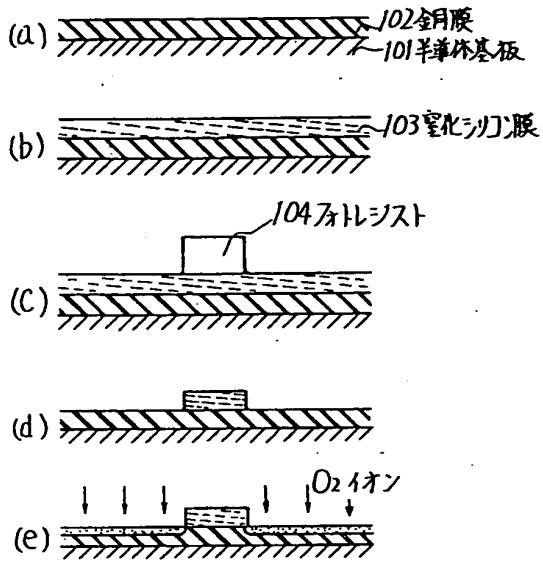
以降は、更に多層の配線を行なうならば第2図(i)に示す様にスピノングラス206を塗布して窒化シリコン膜203を層間膜の1部として利用しても良いし、最上層の配線ならば第2図(j)に示す様に窒化シリコン膜203を除去してパッシベーション膜207の形成を行なっても良い。

〔発明の効果〕

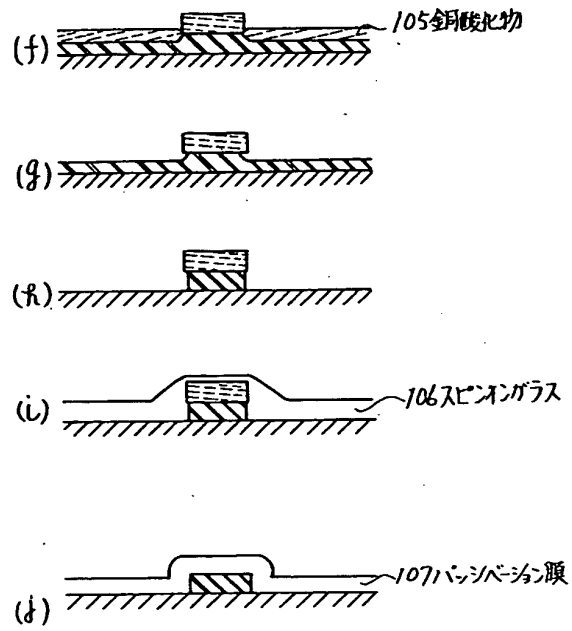
以上説明したように本発明は、銅膜を選択的に酸化したのち、銅酸化物のみを酸による液相中での処理で除去するので、困難な気相中での銅のエッチングを行なう必要が無く、下地の層間膜の膜減りも無く、鍍金法を応用した場合の様に逆テーパ形状やパターン下部でくびれるような形

304……フォトリソスト、310……ハロゲン元素を含んだガスのプラズマ、311……残渣、312……堆積物、313……フォトリソストによる配線のネガパターン、314……銅の配線、315……レジストパターン、316……逆テーパ形状、317……裾のくびれ。

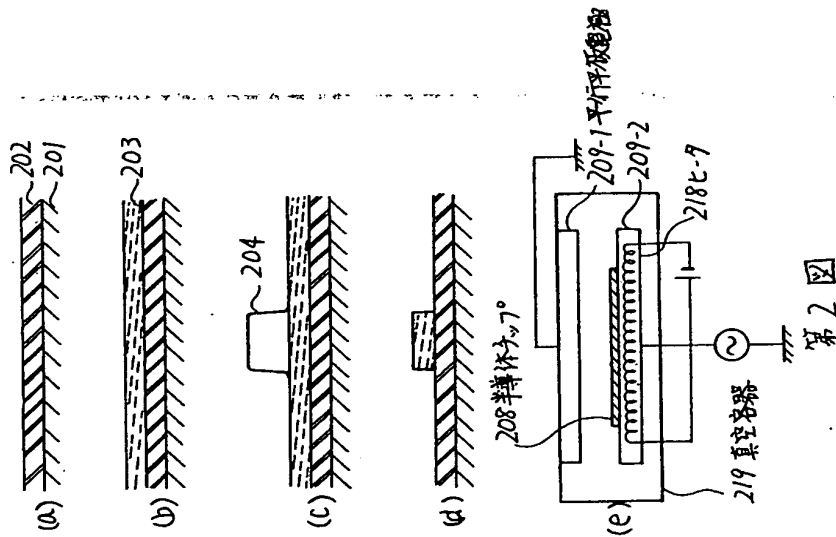
代理人 弁理士 内 原 晋



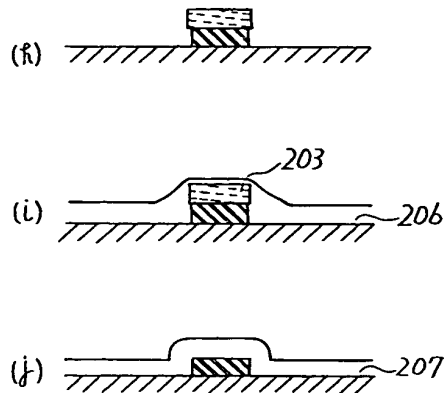
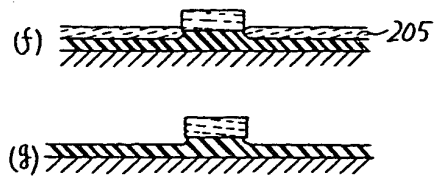
第1図



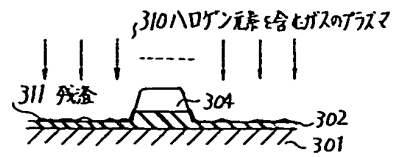
第1図



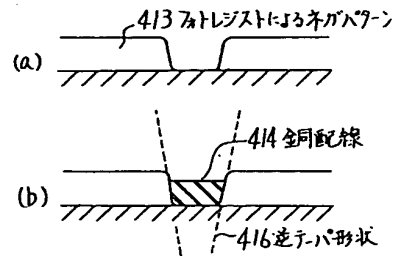
第2図



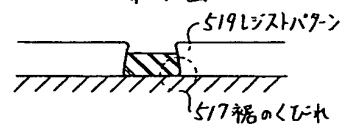
第2図



第3図



第4図



第5図